HiSilicon

TSA80602

样片测试报告

文档版本 01

发布日期 2025-08-26

版权所有 © 海思技术有限公司 2025。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明

、HiSilicon、海思和其他海思商标均为海思技术有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

海思技术有限公司

地址：　上海市青浦区金泽镇培雅南路 100 号　邮编：201721

网址：　http://www.hisilicon.com/cn/

客户服务邮箱：　support@hisilicon.com

前 言

概述

本文档中内容包括测试的总结性报告、测试评估，测试问题报告和测试实测结果清单等内容。

读者对象

本文档（本指南）主要适用于以下工程师:

- 技术支持工程师
- 验证测试工程师

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。

修订日期	版本	修订描述
2025-08-26	01	第 1 次正式版本发布。

版权所有 © 海思技术有限公司

目 录

前 言 i

目 录 ii

插图目录 iv

表格目录 v

1 概述 1

1.1 芯片简介 1

1.2 封装信息 1

2 测试环境描述 3

2.1 测试仪器 3

2.2 测试条件说明 3

3 测试总结 4

3.1 测试结果总结 4

4 功耗测试 5

4.1 功耗测试（PVT） 5

4.1.1 测试条件 5

4.1.2 测试结果 5

4.1.3 测试结论 6

5 增益测试 7

5.1 芯片各个 CTLE 增益档位调整 7

5.1.1 测试条件 7

5.1.2 测试结果 8

5.1.3 测试结论 9

5.2 增益档位测试（三温三压增益一致性）（PVT） 9

 版权所有 © 海思技术有限公司

5.2.1 测试条件 9
5.2.2 测试结果 10
5.2.3 测试结论 10
6 回损测试 11
6.1 输入输出回损测试（PVT 拉偏测试） 11
6.1.1 测试条件 11
6.1.2 测试结果 12
6.1.3 测试结论 12
7 P1dB 测试 13
7.1 芯片输出 1dB 压缩点测试（PVT） 13
7.1.1 测试条件 13
7.1.2 测试结果 13
7.1.3 测试结论 15
8 Delay 测试 16
8.1 AVDD_VCA_1P8 PSMR/PSRR 16
8.1.1 测试条件 16
8.1.2 测试结果 17
8.1.3 测试结论 17
9 ACLOS 测试 18
9.1 ACLOS 建立/撤销（Assert/Deassert）及迟滞测试 18
9.1.1 测试条件 18
9.1.2 测试结果 19
9.1.3 测试结论 21
10 输入输出阻抗测试 22
10.1 输入输出阻抗 TDR 测试 22
10.1.1 测试条件 22
10.1.2 测试结果 22
10.1.3 测试结论 23
11 附录 24
11.1 初始化配置 24
11.2 MIN/MID/MAX 增益配置 25

版权所有 © 海思技术有限公司

插图目录

图 1-1 管脚分布图 1
图 5-1 HF1 寄存器 CTLE 扫描结果 8
图 5-2 HF2 寄存器 CTLE 扫描结果 8
图 5-3 MF 寄存器 CTLE 扫描结果 8
图 5-4 VLF 寄存器 CTLE 扫描结果 8
图 5-5 VGA 寄存器 CTLE 扫描结果 8
图 5-6 固定供电电压 3.3V，扫描不同温度 10
图 5-7 固定常温 25℃，扫描不同供电电压 10
图 5-8 电压温度双拉偏增益测试结果 10
图 6-1 输入端回损（SDD11）温度拉偏测试 12
图 6-2 输出端回损（SDD22）温度拉偏测试 12
图 6-3 输入回损电压拉偏测试 12
图 6-4 输出回损电压拉偏测试 12
图 8-1 群延时测试结果 17
图 10-1 0 通道输入/输出阻抗-TDR 23
图 10-2 1 通道输入/输出阻抗-TDR 23

版权所有 © 海思技术有限公司

表格目录

表 1-1 管脚说明 2
表 2-1 测试仪器清单 3
表 2-2 测试条件说明 3
表 3-1 测试结果总结 4
表 4-1 功耗测试条件 5
表 4-2 常温三压测试 5
表 4-3 高温三压测试 6
表 4-4 低温三压测试 6
表 5-1 芯片各个 CTLE 增益测试条件 7
表 5-2 增益档位测试条件 9
表 6-1 输入输出回损测试条件 11
表 7-1 P1dB 测试条件 13
表 7-2 3.3V 供电_小增益配置下_P1dB 测试结果 13
表 7-3 3.3V 供电_中等增益配置 14
表 7-4 3.3V 供电_大增益配置 14
表 7-5 25℃常温_小增益配置 14
表 7-6 25℃常温_中等增益配置 15
表 7-7 25℃常温_大增益配置 15
表 8-1 Delay 测试条件 16
表 9-1 ACLOS 测试条件 18
表 9-2 ACLOS 0 通道高温测试结果 19
表 9-3 ACLOS 1 通道高温测试结果 19

版权所有 © 海思技术有限公司

表 9-4 ACLOS 0 通道低温测试结果 20
表 9-5 ACLOS 1 通道低温测试结果 21
表 10-1 输入输出阻抗 TDR 测试条件 22
表 10-2 输入输出阻抗测试结果 22
表 11-1 初始化配置 24
表 11-2 MIN 增益配置 25
表 11-3 MID 增益配置 25
表 11-4 MAX 增益配置 26

版权所有 © 海思技术有限公司

1 概述

1.1 芯片简介

TSA80602 是一款双通道 ACC（Active Copper Cable）Redriver 芯片，主要用于数据中心领域机架和框间铜线互联模块，速率可支持最高 56GBaud，适用 PAM4（Pulse Amplitude Modulation）和 NRZ（Non-Return-to-Zero）信号；芯片可应用于 QSFP、QSFP-DD、SFP+等各种 MSA（MultiSource Agreement）模块；芯片内部集成 I2C 接口，提供多种调试功能和关键性能监控。

1.2 封装信息

管脚分布图如图 1-1（下边分布图为 Top View：从上往下看的视图）所示。

图1-1 管脚分布图

	1	2	3	4	5
A	GND	REFRES	PWR	VREG	GND
B	GND	ATP	DTP1	DTP2	GND
C	OUT1P	GND		GND	IN1P
D	OUT1N	GND	GND	GND	IN1N
E	NC	NC	DTP3	VCM	GND
F	OUT0P	GND	GND	GND	IN0P
G	OUT0N	RESETN		ADDR0	IN0N
H	GND	SCL	SDA	ADDR	GND

版权所有 © 海思技术有限公司

表1-1 管脚说明

管脚位置	管脚名称	类型		描述
A1、A5、B1、B5、C2、C4、D2、D3、D4、E5、F2、F3、F4、H1、H5	GND	G	地	地
A2	REFRES	AIO	模拟输入输出	内部参考电压
A3	PWR	P	供电	供电管脚
A4	VREG	AIO	模拟输入输出	内部稳压器的外部电容连接引脚
B2	ATP	AO	模拟输出	外接模拟测试点
B3	DTP2	DI	数字输入	数字测试点 2，接地处理
B4	DTP1	DI	数字输入	数字测试点 1，接地处理
C1	OUT1P	AO	模拟输出	1 通道高速信号输出 P 端
C5	IN1P	AI	模拟输入	1 通道高速信号输入 P 端
D1	OUT1N	AO	模拟输出	1 通道高速信号输出 N 端
D5	IN1N	AI	模拟输入	1 通道高速信号输入 N 端
E1、E2	NC	N	NC 管脚	NC 管脚，接地处理
E3	DTP3	DI	数字输入	数字测试点 3，接地处理
E4	VCM	AI	模拟输入	外部电容连接引脚，用于 CH0 和 CH1 共模电压输入
F1	OUT0P	AO	模拟输出	0 通道高速信号输出 P 端
F5	IN0P	AI	模拟输入	0 通道高速信号输入 P 端
G1	OUT0N	AO	模拟输出	0 通道高速信号输出 N 端
G5	IN0N	AI	模拟输入	0 通道高速信号输入 N 端
G2	RESETN	AIO	模拟输入输出	芯片复位引脚，低复位
G4	ADDR0	AI	模拟输入	I2C 地址定义 bit0 引脚，悬空时为高电平
H2	SCL	DI	数字输入	I2C 串口时钟引脚
H3	SDA	DI	数字输入	I2C 串口数据引脚
H4	ADDR1	AI	模拟输入	I2C 地址定义 bit1 引脚，悬空时为高电平

版权所有 © 海思技术有限公司

2 测试环境描述

2.1 测试仪器

表2-1 测试仪器清单

品类	模型	供应商	描述
网络分析仪	N5247B	是德	用于测试芯片 S 参数
温冲	ThermalJet	伯东	用于提供温度条件
电源	6705C	是德	用于测试芯片功耗
误码仪	M8020A	是德	用于产生输入差分信号
台式万用表	DM3068A	普源	用于测试芯片 DC 指标
温箱	SH-662	艾斯派克	用于提供温度条件

2.2 测试条件说明

表2-2 测试条件说明

条件	描述
常压	电源电压 3.3V
高压	电源电压 3.5V
低压	电源电压 3.1V
常温	25℃（芯片结温）
高温	95℃（芯片结温）
低温	-20℃（芯片结温）

版权所有 © 海思技术有限公司

3 测试总结

3.1 测试结果总结

表3-1 测试结果总结

用例归类	用例名称	测试结果
DC 与功耗	功耗测试	典型条件下164 mW/CH
增益测试	CTLE 增益档位测试	满足
	增益档位三温三压测试	满足
回损测试	输入输出回损测试	满足
P1dB	芯片 P1dB 三温三压测试	满足
Delay 测试	输入输出 Delay	≤0.1ns
ACLOS 测试	ACLOS Assert/Deassert 测试	满足

版权所有 © 海思技术有限公司

4 功耗测试

4.1 功耗测试（PVT）

4.1.1 测试条件

表4-1 功耗测试条件

温度	常温、低温、高温
电压	常压、低压、高压
芯片测试条件	芯片初始化寄存器详见 11.1 初始化配置
测试方法	1. 使用 EVB 板，芯片上电初始化 2. 稳压源连接芯片 3V3 供电管脚，读取稳压源上供电电流

4.1.2 测试结果

表4-2 常温三压测试

测试条件	常温高压		常温常压		常温低压	
测试量	电流（mA）	功率（mW）	电流（mA）	功率（mW）	电流（mA）	功率（mW）
TT 样本 1	97.9	323.1	97.6	322.1	96.9	319.8
TT 样本 2	99.5	328.4	99.2	327.4	98.5	325.1
TT 样本 3	97.6	322.1	97.3	321.1	96.3	317.8

版权所有 © 海思技术有限公司

表4-3 高温三压测试

测试条件	高温高压		高温常压		高温低压	
测试量	电流（mA）	功率（mW）	电流（mA）	功率（mW）	电流（mA）	功率（mW）
TT 样本 1	102.0	336.6	101.5	334.9	100.4	331.3
TT 样本 2	103.9	342.9	103.0	339.9	102	336.6
TT 样本 3	101.9	336.3	101.1	333.6	99.8	329.3

表4-4 低温三压测试

测试条件	低温高压		低温常压		低温低压	
测试量	电流（mA）	功率（mW）	电流（mA）	功率（mW）	电流（mA）	功率（mW）
样本 1	94.3	311.2	94.1	310.5	93.5	308.6
样本 2	95.9	316.5	96.1	317.1	95.3	314.5
样本 3	94.5	311.9	94.1	310.5	93.2	307.6

4.1.3 测试结论

芯片功耗随温度上升而上升，随电压上升而略微上升。常温三压下基本满足典型值需求。

版权所有 © 海思技术有限公司

5 增益测试

5.1 芯片各个 CTLE 增益档位调整

5.1.1 测试条件

表5-1 芯片各个 CTLE 增益测试条件

温度	常温
电压	常压
测试条件	芯片初始化寄存器详见 11.1 初始化配置
测试方法	1. 网分校准并利用 EVB 板上 2x thru 去嵌 2. 芯片上电并初始化 3. 遍历不同增益档位寄存器，并进行测试

版权所有 © 海思技术有限公司

5.1.2 测试结果

图5-1 HF1 寄存器 CTLE 扫描结果

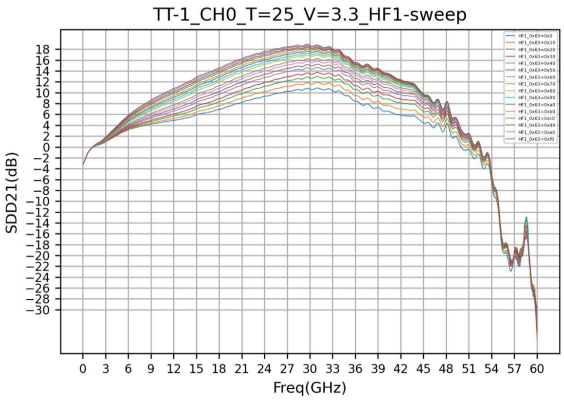


图5-2 HF2 寄存器 CTLE 扫描结果

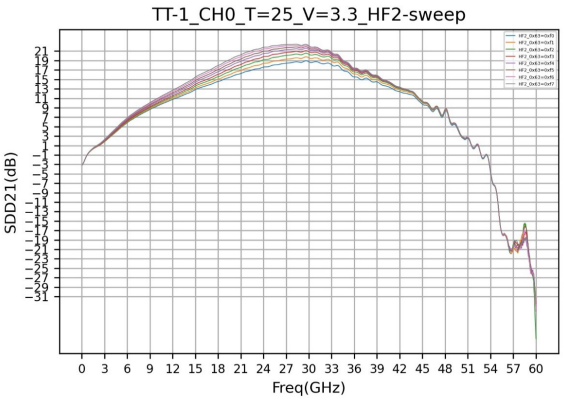


图5-3 MF 寄存器 CTLE 扫描结果

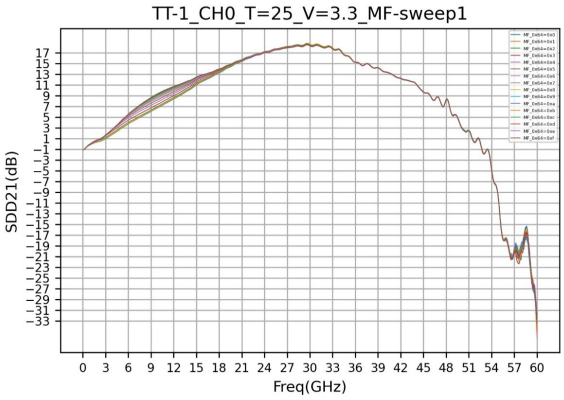


图5-4 VLF 寄存器 CTLE 扫描结果

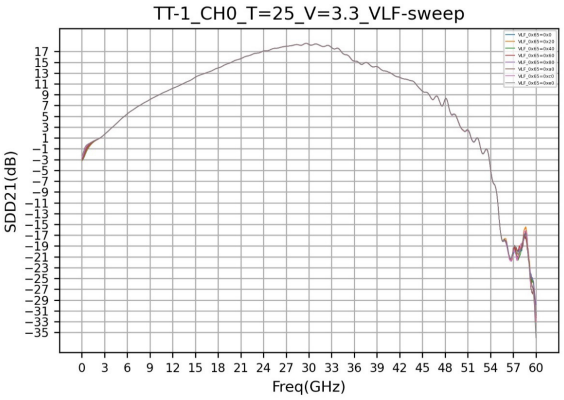
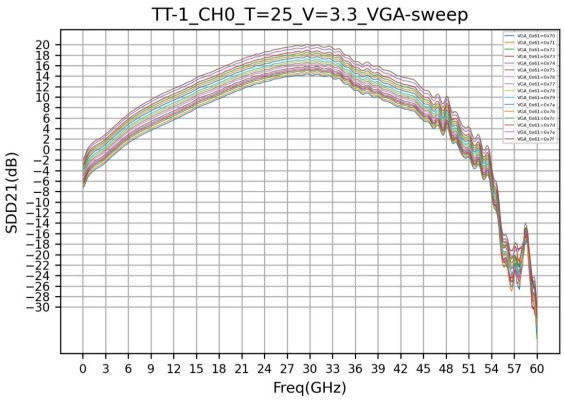


图5-5 VGA 寄存器 CTLE 扫描结果



版权所有 © 海思技术有限公司

5.1.3 测试结论

- HF1 寄存器在 26GHz 增益变动约 8dB，调整频段覆盖 12~48GHz，呈纺锤状。Step 并非均匀，在低档位时 1step 增益上升 0.9~1dB@26.55GHz，高档位时 1step 增益上升 0.2dB@26.55GHz。
- HF2 寄存器在 26GHz 增益变动约 5dB，调整频段覆盖 12~30GHz，呈纺锤状。Step 并非均匀，在低档位时 1step 增益上升 0.5~6dB@26.55GHz，高档位时 1step 增益上升 0.2dB@26.55GHz。
- MF 寄存器在 9GHz 增益变动约 3dB，调整频段覆盖 6~12GHz。
- VGA 寄存器总体调整 CTLE 增益，整个工作频段可以调整 8dB 增益，step 较为均匀，1step 约调整 0.4dB。
- 57GHz 存在谐振点，该问题由环境引入。

5.2 增益档位测试（三温三压增益一致性）（PVT）

5.2.1 测试条件

表5-2 增益档位测试条件

温度	常温、低温、高温
电压	常压、低压、高压
测试条件	初始化寄存器详见 11.1 初始化配置
测试方法	1. 网分校准并利用 EVB 板上 2x thru 去嵌 2. 芯片上电并初始化 3. 在三温三压下遍历不同增益档位寄存器，并进行测试。完成遍历后，应使用 2xThru 去嵌线同步测试三温插损变动，去除三温下走线插损变化对测试结果的影响

版权所有 © 海思技术有限公司

5.2.2 测试结果

图5-6 固定供电电压 3.3V，扫描不同温度

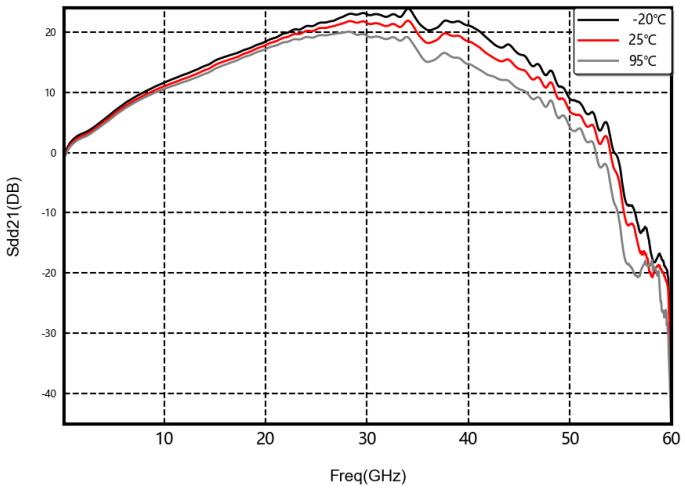


图5-7 固定常温 25℃，扫描不同供电电压

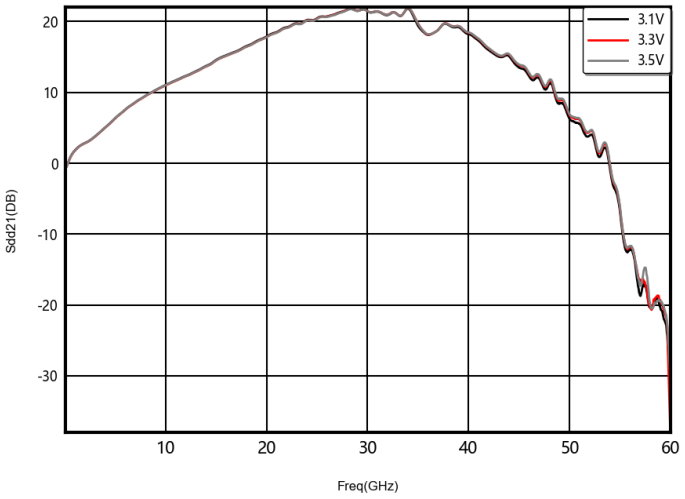
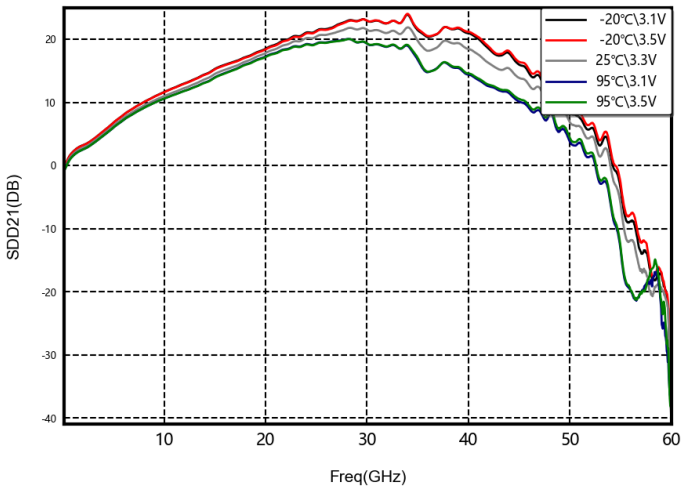


图5-8 电压温度双拉偏增益测试结果



5.2.3 测试结论

- 低中高工作电压下芯片的增益变动较小，低压/高压下芯片增益略有降低（1dB 左右）。
- 芯片增益随温度升高而降低，低温下增益提升约 2dB@26.55GHz，高温下增益降低约 1.5dB@26.55GHz。
- 未看到增益调整档位在温度/电压拉偏下异常。

版权所有 © 海思技术有限公司

6 回损测试

6.1 输入输出回损测试（PVT 拉偏测试）

6.1.1 测试条件

表6-1 输入输出回损测试条件

温度	常温、低温、高温
电压	常压、低压、高压
芯片测试条件	初始化寄存器详见 11.1 初始化配置
测试方法	1. 网分校准并利用 EVB 板上 2x thru 去嵌 2. 芯片上电并初始化 3. 在三温三压下遍历 HF1 不同增益档位，并进行测试

版权所有 © 海思技术有限公司

6.1.2 测试结果

图6-1 输入端回损（SDD11）温度拉偏测试

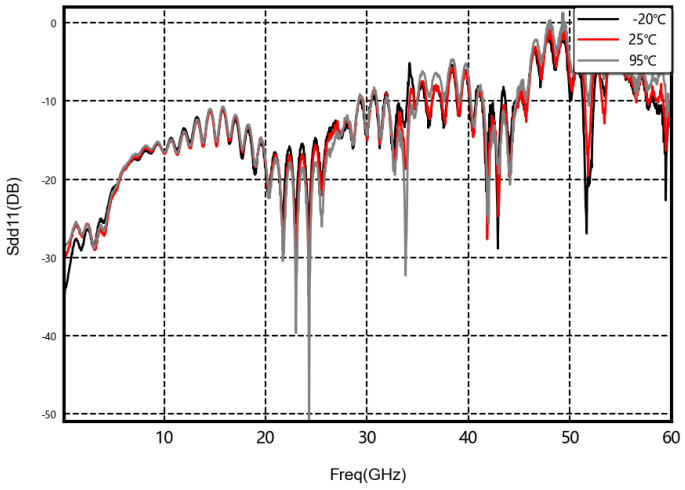


图6-2 输出端回损（SDD22）温度拉偏测试

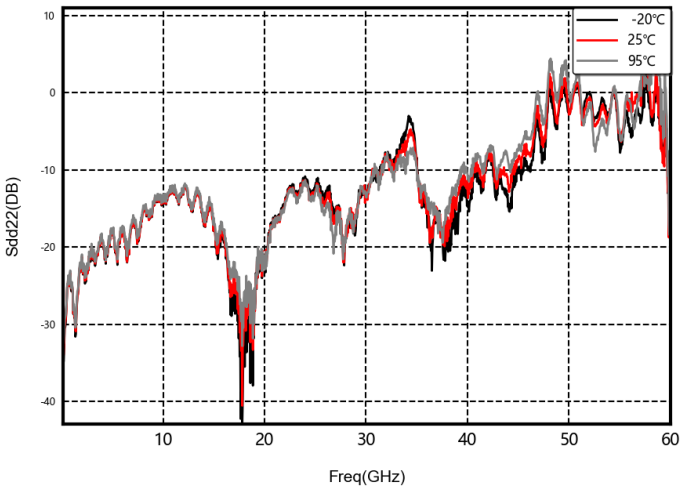


图6-3 输入回损电压拉偏测试

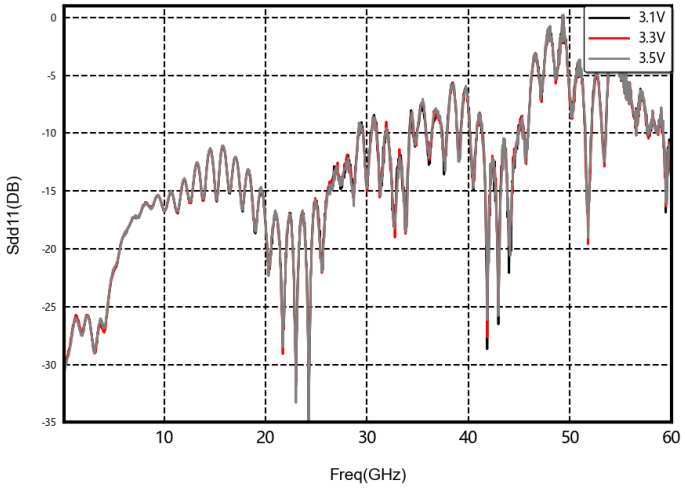
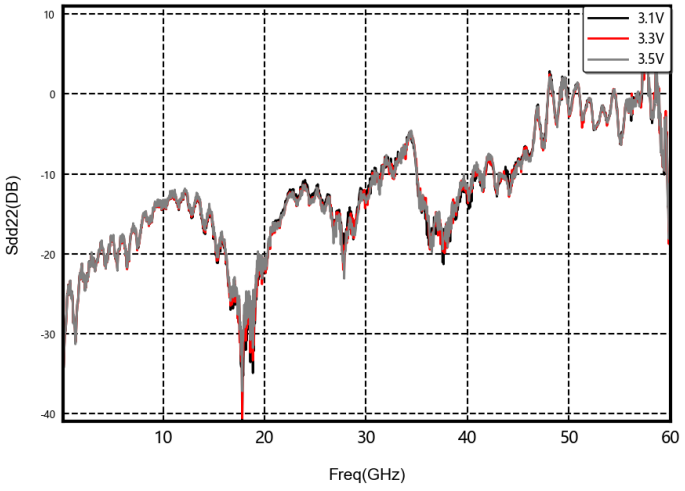


图6-4 输出回损电压拉偏测试



6.1.3 测试结论

输入输出回损受温度拉偏影响较小，RTERM 的温度特性稳定；基本不受电压影响，符合电路预期。

版权所有 © 海思技术有限公司

7 P1dB 测试

7.1 芯片输出 1dB 压缩点测试（PVT）

7.1.1 测试条件

表7-1 P1dB 测试条件

温度	常温、低温、高温
电压	常压、低压、高压
芯片测试条件	初始化寄存器详见 11.1 初始化配置，MIN/MID/MAX 典型增益场景寄存器配置详见 11.2 MIN/MID/MAX 增益配置
测试方法	1. 网分校准并利用 EVB 板上 2x thru 去嵌 2. 芯片上电并初始化 3. 在三温三压下遍历 MIN/MID/MAX 三种典型增益场景，并测试 1GHz 的 1dB 压缩点

7.1.2 测试结果

表7-2 3.3V 供电_小增益配置下_P1dB 测试结果

测试说明	单位	高温	常温	低温
CH0_P1dB 处_输入功率	dBm	5.43	4.58	3.72
CH0_P1dB 处_增益	dB	-1.59	-1.11	-0.63
CH0_P1dB 处_输出功率	dBm	3.84	3.46	3.09
CH1_P1dB 处_输入功率	dBm	6.03	4.69	3.35
CH1_P1dB 处_增益	dB	-1.84	-0.78	0.28
CH1_P1dB 处_输出功率	dBm	4.19	3.91	3.64

版权所有 © 海思技术有限公司

表7-3 3.3V 供电_中等增益配置

测试说明	单位	高温	常温	低温
CH0_P1dB 处_输入功率	dBm	4.49	3.53	2.57
CH0_P1dB 处_增益	dB	-0.41	0.09	0.59
CH0_P1dB 处_输出功率	dBm	4.08	3.62	3.16
CH1_P1dB 处_输入功率	dBm	5.21	3.86	2.51
CH1_P1dB 处_增益	dB	-0.77	0.23	1.22
CH1_P1dB 处_输出功率	dBm	4.44	4.09	3.73

表7-4 3.3V 供电_大增益配置

测试说明	单位	高温	常温	低温
CH0_P1dB 处_输入功率	dBm	3.58	2.69	1.79
CH0_P1dB 处_增益	dB	0.65	1.06	1.47
CH0_P1dB 处_输出功率	dBm	4.23	3.74	3.26
CH1_P1dB 处_输入功率	dBm	4.25	3.1	1.94
CH1_P1dB 处_增益	dB	0.4	1.15	1.89
CH1_P1dB 处_输出功率	dBm	4.65	4.25	3.84

表7-5 25℃常温_小增益配置

测试说明	单位	3.1V	3.3V	3.5V
CH0_P1dB 处_输入功率	dBm	3.3	4.58	4.73
CH0_P1dB 处_增益	dB	-1.06	-1.11	-1.17
CH0_P1dB 处_输出功率	dBm	2.24	3.46	3.56
CH1_P1dB 处_输入功率	dBm	3.3	4.69	4.92
CH1_P1dB 处_增益	dB	-0.71	-0.78	-0.87
CH1_P1dB 处_输出功率	dBm	2.59	3.91	4.05

版权所有 © 海思技术有限公司

表7-6 25℃常温_中等增益配置

测试说明	单位	3.1V	3.3V	3.5V
CH0_P1dB 处_输入功率	dBm	2.9	3.53	3.61
CH0_P1dB 处_增益	dB	0.14	0.09	0.03
CH0_P1dB 处_输出功率	dBm	3.04	3.62	3.64
CH1_P1dB 处_输入功率	dBm	2.89	3.86	3.93
CH1_P1dB 处_增益	dB	0.28	0.23	0.17
CH1_P1dB 处_输出功率	dBm	3.16	4.09	4.1

表7-7 25℃常温_大增益配置

测试说明	单位	3.1V	3.3V	3.5V
CH0_P1dB 处_输入功率	dBm	2.5	2.69	2.65
CH0_P1dB 处_增益	dB	1.09	1.06	1.04
CH0_P1dB 处_输出功率	dBm	3.59	3.74	3.69
CH1_P1dB 处_输入功率	dBm	2.93	3.1	3.05
CH1_P1dB 处_增益	dB	1.16	1.15	1.12
CH1_P1dB 处_输出功率	dBm	4.09	4.25	4.17

7.1.3 测试结论

- P1dB 随温度上升而下降，随电压上升增加。
- P1dB 随增益档位有所变动，增益越小，芯片的 P1dB 越好。
- 在最恶劣情况下（高增益、高温度），P1dB 也满足 > 0dBm 需求。

版权所有 © 海思技术有限公司

8 Delay 测试

8.1 AVDD_VCA_1P8 PSMR/PSRR

8.1.1 测试条件

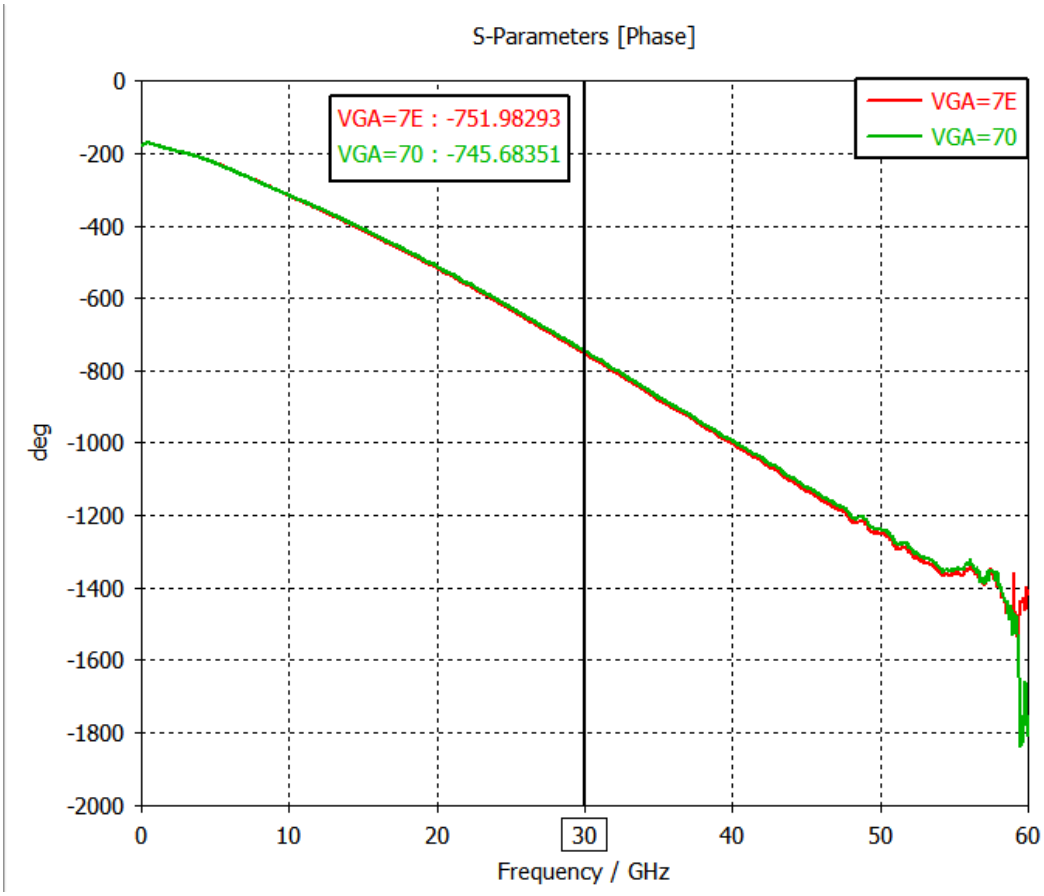
表8-1 Delay 测试条件

温度	常温
电压	常压
Chip&通道数	TT*1
芯片测试条件	初始化寄存器详见 11.1 初始化配置
测试方法	1. 网分校准并利用 EVB 板上 2x thru 去嵌 2. 芯片上电并初始化 3. 网分测试芯片输入&输出群时延，基于群时延结果反推输入输出延时

版权所有 © 海思技术有限公司

8.1.2 测试结果

图8-1 群延时测试结果



反推群时延结果：（751.98/360）/(3*10^8)=69.44ps。

8.1.3 测试结论

因为芯片本身的放大功能，其输入输出 Delay 无法简单基于信号源+示波器进行测试，故通过群延时结果进行反推。反推 Delay 结果 70ps，与仿真预期基本一致。

版权所有 © 海思技术有限公司

9 ACLOS 测试

9.1 ACLOS 建立/撤销（Assert/Deassert）及迟滞测试

9.1.1 测试条件

表9-1 ACLOS 测试条件

温度	低温、高温
电压	板级供电常压、低压、高压
芯片测试条件	初始化寄存器详见 11.1 初始化配置
测试方法	1. 芯片上电并初始化。 2. AWG 连接芯片输入端，注入差分信号（频率无要求）。差分信号幅度从小到大增加，并读取芯片 LOS_Flag 寄存器。该寄存器值从 1→0 时，即为 Deassert 幅度；随后将差分信号幅度从大到小降低，并继续读取 LOS_Flag 寄存器，该寄存器值从 0→1 时，即为 Assert 值。 3. 迟滞（HYS）即为 Assert、Deassert 差值。 4. 在三温三压下遍历 ACLOS 不同阈值（Assert/Deassert）/迟滞（Hys）档位，并进行测试。

版权所有 © 海思技术有限公司

9.1.2 测试结果

表9-2 ACLOS 0 通道高温测试结果

0 通道_高温																		
电压值		3.1V						3.3V						3.5V				
迟滞 TERESIS		迟滞档位 = 1			迟滞档位 = 2			迟滞档位 = 1			迟滞档位 = 2			迟滞档位 = 1			迟滞档位 = 2		
LOS阈值档位	LOS阈值理论值	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞
		单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB
14	100.8	100	148	3.41	100	169	4.56	100	148	3.41	100	169	4.56	100	151	3.58	100	169	4.56
16	115.2	121	169	2.90	121	196	4.19	121	175	3.21	121	196	4.19	121	175	3.21	121	196	4.19
18	129.6	137	191	2.89	137	218	4.03	137	196	3.11	137	218	4.03	137	196	3.11	137	218	4.03
20	144	153	212	2.83	153	244	4.05	153	215	2.95	153	244	4.05	153	218	3.08	153	244	4.05
22	158.4	169	234	2.83	169	266	3.94	169	234	2.83	169	266	3.94	169	234	2.83	169	266	3.94
24	172	185	255	2.79	185	293	3.99	185	255	2.79	185	293	3.99	185	258	2.89	185	293	3.99
26	187.2	201	277	2.79	201	319	4.01	201	277	2.79	201	319	4.01	201	277	2.79	201	319	4.01
28	201.6	218	301	2.80	218	341	3.89	218	303	2.86	218	341	3.89	218	303	2.86	218	346	4.01

表9-3 ACLOS 1 通道高温测试结果

1 通道_高温																		
电压值		3.1V						3.3V						3.5V				
迟滞 TERESIS		迟滞档位 = 1			迟滞档位 = 2			迟滞档位 = 1			迟滞档位 = 2			迟滞档位 = 1			迟滞档位 = 2		
LOS阈值档位	LOS阈值理论值	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞
		单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB
14	100.8	110	159	3.20	110	180	4.28	110	159	3.20	110	185	4.52	110	159	3.20	110	185	4.52
16	115.2	126	185	3.34	126	207	4.31	126	185	3.34	126	207	4.31	126	185	3.34	126	207	4.31
18	129.6	142	207	3.27	142	234	4.34	142	207	3.27	142	234	4.34	142	207	3.27	142	234	4.34

版权所有 © 海思技术有限公司

1 通道_高温																			
电压值		3.1V						3.3V						3.5V					
迟滞 TERESIS		迟滞档位 = 1			迟滞档位 = 2			迟滞档位 = 1			迟滞档位 = 2			迟滞档位 = 1			迟滞档位 = 2		
LOS 阈值档位	LOS 阈值理论值	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞
		单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB
20	144	164	228	2.86	164	260	4.00	164	228	2.86	164	260	4.00	164	228	2.86	164	260	4.00
22	158.4	180	250	2.85	180	287	4.05	180	250	2.85	180	287	4.05	180	250	2.85	180	287	4.05
24	172	196	277	3.00	196	314	4.09	196	277	3.00	196	314	4.09	196	277	3.00	196	314	4.09
26	187.2	212	298	2.96	212	341	4.13	212	298	2.96	212	341	4.13	212	298	2.96	212	341	4.13
28	201.6	228	319	2.92	228	368	4.16	228	319	2.92	228	368	4.16	228	325	3.08	228	368	4.16

表9-4 ACLOS 0 通道低温测试结果

0 通道_低温																			
电压值		3.1V						3.3V						3.5V					
迟滞 TERESIS		迟滞档位 = 1			迟滞档位 = 2			迟滞档位 = 1			迟滞档位 = 2			迟滞档位 = 1			迟滞档位 = 2		
LOS 阈值档位	LOS 阈值理论值	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞
		单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB
14	100.8	94	137	3.27	94	159	4.57	94	137	3.27	94	159	4.57	94	137	3.27	94	159	4.57
16	115.2	110	159	3.20	110	180	4.28	110	159	3.20	110	180	4.28	110	159	3.20	110	180	4.28
18	129.6	126	180	3.10	126	201	4.06	126	180	3.10	126	201	4.06	126	180	3.10	126	201	4.06
20	144	137	201	3.33	140	218	3.85	137	196	3.11	140	228	4.24	137	196	3.11	140	223	4.04
22	158.4	153	218	3.08	153	250	4.26	153	218	3.08	153	250	4.26	153	218	3.08	153	250	4.26
24	172	169	239	3.01	169	271	4.10	169	239	3.01	169	271	4.10	169	239	3.01	169	271	4.10
26	187.2	185	260	2.96	185	293	3.99	185	260	2.96	185	293	3.99	185	260	2.96	185	293	3.99
28	201.6	201	277	2.79	201	319	4.01	201	277	2.79	201	319	4.01	201	277	2.79	201	319	4.01

版权所有 © 海思技术有限公司

表9-5 ACLOS 1 通道低温测试结果

1 通道_低温																			
电压值		3.1V						3.3V						3.5V					
迟滞 TERESIS		迟滞档位 = 1			迟滞档位 = 2			迟滞档位 = 1			迟滞档位 = 2			迟滞档位 = 1			迟滞档位 = 2		
LOS 阈值档位	LOS 阈值理论值	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞	建立	撤销	迟滞
		单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB	单位: mV		单位: dB
14	100.8	94	137	3.27	94	159	4.57	94	137	3.27	94	159	4.57	94	137	3.27	94	159	4.57
16	115.2	110	159	3.20	110	183	4.42	110	159	3.20	110	180	4.28	110	159	3.20	110	180	4.28
18	129.6	126	180	3.10	126	207	4.31	126	180	3.10	126	207	4.31	126	180	3.10	126	207	4.31
20	144	142	201	3.02	142	228	4.11	142	201	3.02	142	228	4.11	142	201	3.02	142	228	4.11
22	158.4	159	223	2.94	159	250	3.93	159	223	2.94	159	250	3.93	159	223	2.94	159	250	3.93
24	172	175	239	2.71	175	271	3.80	175	239	2.71	175	271	3.80	175	239	2.71	175	271	3.80
26	187.2	185	260	2.96	185	298	4.14	185	260	2.96	185	298	4.14	185	260	2.96	185	298	4.14
28	201.6	201	282	2.94	201	319	4.01	201	282	2.94	201	319	4.01	201	282	2.94	201	319	4.01

9.1.3 测试结论

- 芯片 ACLOS 建立（Assert）、撤销（Deassert）档位随寄存器调整工作正常。
- 迟滞（HYs）调整功能正常。
- 建立（Assert）、撤销（Deassert）电压随温度提升略有降低。

版权所有 © 海思技术有限公司

10 输入输出阻抗测试

10.1 输入输出阻抗 TDR 测试

10.1.1 测试条件

表10-1 输入输出阻抗 TDR 测试条件

温度	常温
电压	常压
芯片测试条件	初始化寄存器详见 11.1 初始化配置
测试方法	1. 网分校准并在 TDR 界面中进行去嵌，让 TDR 起始点落在夹具输出端口 2. 芯片上电并初始化 3. 连接夹具、网分、EVB 板，测试 TDR

10.1.2 测试结果

表10-2 输入输出阻抗测试结果

芯片编号	0 通道输入阻抗（Ω）	1 通道输入阻抗（Ω）	0 通道输出阻抗（Ω）	1 通道输出阻抗（Ω）
1	95.07	95.78	96.19	94.42
2	96.41	95.22	96.09	94.22
3	95.16	95.55	96.13	94.32

版权所有 © 海思技术有限公司

图10-1 0 通道输入/输出阻抗-TDR

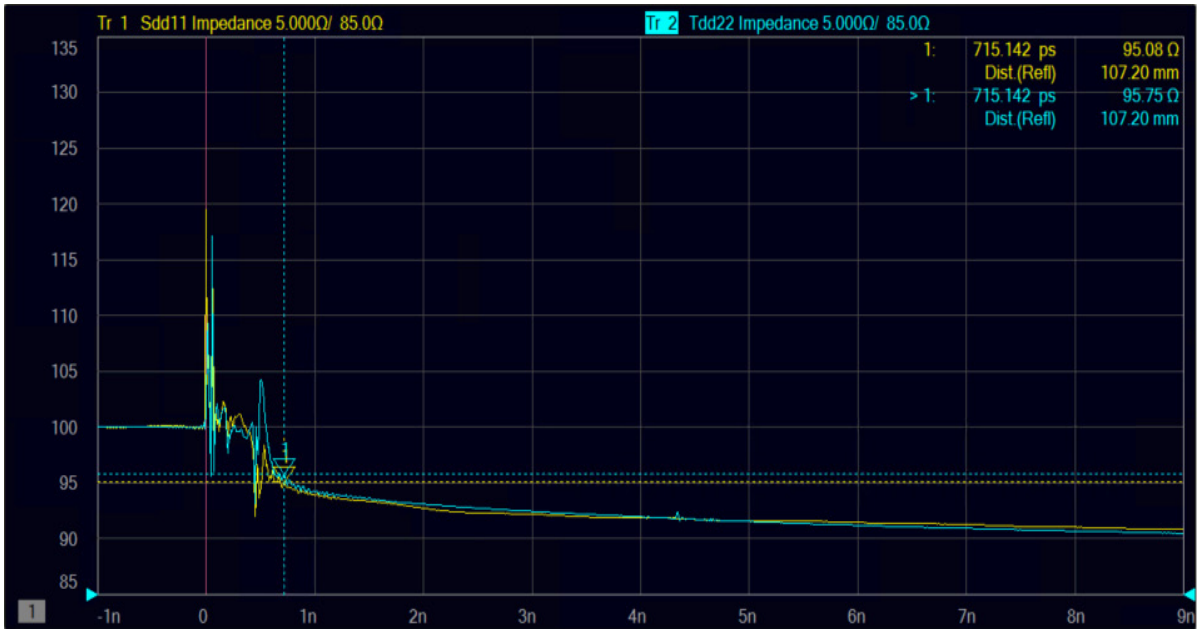
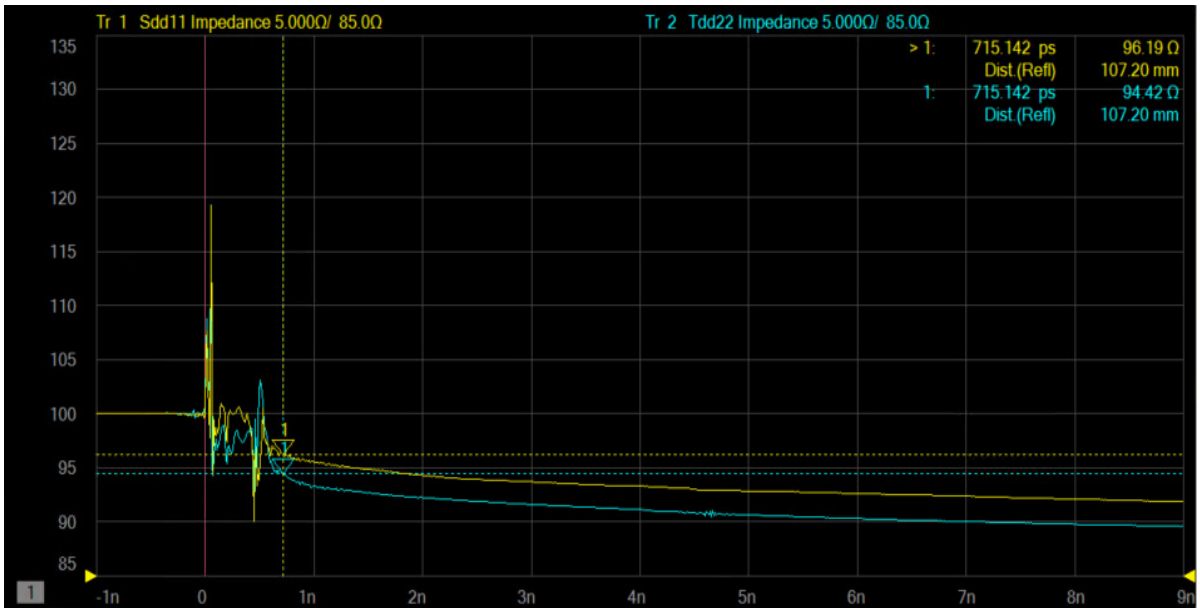


图10-2 1 通道输入/输出阻抗-TDR



10.1.3 测试结论

输入/输出阻抗满足 100±10Ω。

版权所有 © 海思技术有限公司

11 附录

11.1 初始化配置

表11-1 初始化配置

地址	值
0x00	0x00
0x01	0x00
0x02	0x20
0x03	0x2C
0x04	0xC0
0x05	0xC0
0x5F	0xFC
0x60	0xB4
0x61	0x7C
0x62	0xBC
0x63	0xD0
0x64	0x47
0x65	0x40
0x66	0x38
0x67	0x47
0x68	0x30
0x6B	0x09
0x7F	0xFC
0x80	0xB4
0x81	0x7C

版权所有 © 海思技术有限公司

地址	值
0x82	0xBC
0x83	0xD0
0x84	0x47
0x85	0x40
0x86	0x38
0x87	0x47
0x88	0x30

11.2 MIN/MID/MAX 增益配置

在初始化配置的基础上，对不同增益需求可参考表 11-2~表 11-4 进行关键寄存器配置。

表11-2 MIN 增益配置

地址	值
0x61	0x78
0x63	0x00
0x65	0x40
0x64	0x04
0x81	0x78
0x83	0x00
0x85	0x40
0x84	0x04

表11-3 MID 增益配置

地址	值
0x61	0x78
0x63	0x84
0x65	0x40
0x64	0x47
0x81	0x78
0x83	0x84

版权所有 © 海思技术有限公司

地址	值
0x85	0x40
0x84	0x47

表11-4 MAX 增益配置

地址	值
0x61	0x7F
0x63	0xF7
0x65	0x40
0x64	0x7C
0x81	0x7F
0x83	0xF7
0x85	0x40
0x84	0x7C

版权所有 © 海思技术有限公司